

高機能フィールドプログラマブル集積回路の研究

著者	堺谷 智
号	2623
発行年	2000
URL	http://hdl.handle.net/10097/7896

氏名	さかい だに さとし		
授与学位	堺 谷 智		
学位授与年月日	博士 (工学)		
学位授与の根拠法規	平成 13 年 3 月 26 日		
研究科, 専攻の名称	学位規則第 4 条第 1 項		
学位論文題目	東北大学大学院工学研究科 (博士課程) 電子工学専攻		
指導教官	高機能フィールドプログラマブル集積回路の研究		
論文審査委員	指 導 教 官 東北大学教授 大見 忠弘		
	主査 東北大学教授 大見 忠弘	東北大学教授 亀山 充隆	
	東北大学教授 川又 政征	東北大学助教授 小谷 光司	

論文内容要旨

半導体集積回路の高集積化が進みシステムLSIの時代が進むにつれ、現在のLSI製造技術は少品種大量生産向きであるにもかかわらず多品種少量のシステムLSIをも製造していかなければならない根本命題に直面している。更に、システム開発にはきわめて多くの人的労力と開発期間を要し、システム開発期間の短縮がシステムLSI開発の最大の鍵となっている。著者は、同一のハードウェアで種々の回路構成を実現し機能を動的に切替えることが可能な高機能なフィールドプログラマブル集積回路である「フレキシブルプロセッサ」を開発し、更にこれを用いてソフトウェアの処理を高速化する手法である「ソフトウェアアクセラレータ」により、上記システムLSI開発における困難を解決する手段を明示した。

具体的には、全加算器と D 型フリップフロップを併合して作成した論理モジュール (以下、FDMM (Full-adder / D-flip-flop Merged Module の略) と略記する) を基本モジュールとし、この FDMM を 2 次元アレイ状に敷き詰めた構造で、チップ全体として実現し得る機能 (回路構成) を動的に切替えることが可能な、フレキシブルな高機能フィールドプログラマブル集積回路 (フレキシブルプロセッサ) の研究・開発を行なった。開発した FDMM は、全加算器と D 型フリップフロップのおおのこの回路を構成する素子群のうち、共通使用できる部分を共有し、少ない素子数で組み合わせ論理回路と順序回路の両方を同一のモジュールで実現し得るという特徴を持つ。以上のような、従来にない切り口から基本モジュールのフレキシビリティを向上させることを目的として開発した新たなモジュールをフレキシブルプロセッサの基本モジュールとして採用した結果、フレキシブルプロセッサ上で実現しようとする種々の回路構成において、従来の FPGA 等と比較して、ハードウェアの利用効率の向上と回路構成情報データサイズの削減が可能となった。更に、ハードウェアを動的に再構成する仕組みとしてマルチコンテキストアーキテクチャを採用した、コンテキストメモリブロック (CMB) と呼ぶ回路を開発した。開発した CMB は複数のメモリから成り、その複数のメモリのひとつに格納されたデータによりフレキシブルプロセッサは種々の回路構成を実現する。複数のメモリを用意しているため、回路構成情報の読み出しをあるメモリから別のメモリへ切替えることで、瞬時にチップ全体の回路構成を再構成することが可能である。またこの CMB は、内包するメモリ群のうち今現在チップの回路構成に寄与していないメモリ (読み出し非選択側メモリ) へ、チップが今現在ある信号処理を行なっている動作途中であっても、新たな回路構成情報を書き込めるような仕組みを備えている。この結果、フレキシブルプロセッサがある信号処理を行なっている間でも、その処理動作を妨げることなく次の回路構成情報を次々と書き込むことが出来、今現在チップが行なっている信号処理が終了し次の回路構成情報の格納が済んでいけば、CMB のメモリアドレスを切替えるだけですぐに次の回路構成へと切替えることが可能となる。このように、逐次回路構成情報をフレキシブルプロセッサに格納してゆきつつ、実現されたハードウェア上 (フレキシブルプロセッサ上) で種々の信号処理を行なう (逐次ハード化すること) により、ソフトウェアの処理速度を向上させようというのが、我々の提案する「ソフトウェアアクセラレータ」であり、このソフトウェアアクセラレータの実現が本研究の将来的な目標のひとつである。ソフトウェアアクセラレータとは、当研究室で現在研究が遂行中であるソフトウェア/ハードウェア協調設計・検証環境のシステム全体の名称である。その目的は、例えば

繰り返し演算など、汎用 CPU とソフトウェアでは非常に重く時間のかかる処理などにおいて、ソフトウェアが行なう処理を、それに対応した種々の信号処理を行なうハードウェアを逐次実現(逐次ハード化)し実現されたハードウェア上でそのソフトウェアの処理を実行させることで、実質的にソフトウェアの実行速度の向上を図ろうとするものである。名前の通り、ソフトウェアの実行速度を CPU と比較して加速させようとするのが、このソフトウェアアクセラレータの一番の本質的な目的である。このときに、逐次回路構成情報を格納してゆきつつ、種々の信号処理を行なう(逐次ハード化)といった機能を実現する柔軟なフィールドプログラマブルなハードウェアが必要となる。本研究は、そのハードウェア(フレキシブルプロセッサと呼ぶ)の実現に関するものである。ソフトウェアアクセラレータの実現には、実行するソフトウェアによりハード化する・しないを判断し、ハード化する場合には様々な回路構成情報のライブラリから最適な回路構成情報を選択し時間コントロールしながら逐次ハード化するという、特殊な制御機構(ソフト・ハード協調設計環境)の開発、ソフト・ハードの協調検証方法の開発等、解決すべき課題は山積みである。しかし、本研究では、それらは当研究室で現在研究が遂行中であることから、以上のような課題は今後解決されるものとして、ソフトウェアアクセラレータで逐次ハード化するのに適したフィールドプログラマブル集積回路(プラットフォーム)は何かということに注目して、ソフトウェアアクセラレータの具現化を根底から支えるフレキシブルプロセッサの開発を行っている。フレキシブルプロセッサの回路構成情報の書き込み時間はソフトウェアアクセラレータの動作を律速し性能を決定する可能性のある重要な問題である。本研究では前述のように、チップが現在行なっている信号処理を妨げることなく次の回路構成情報を次々と書き込むことが出来、CMB のメモリアドレスを変更するだけですぐに次の回路構成へと切替えることが可能である機構を備え、また、基本モジュールを一般的に中粒度の FDMM にしたことにより、回路構成情報データサイズそのものも従来の FPGA と比較して小さくすることが出来た。この結果、例えば、処理が終了してからデータを退避させ、次の回路構成情報を書き込み、チップの再構成を行ない次の処理へ移行するというやり方(従来の FPGA を用いてソフトウェアアクセラレータと同等の機能を実現しようとした場合)に比べ、書き込み時間のオーバーヘッドを低減し、実行時間を短縮させる効果があるものと期待できる。

本論文は、これらの研究成果をとりまとめたもので、全文5章よりなる。

第1章は序論である。

第2章では、本研究の将来的なアプリケーションターゲットであるソフトウェアアクセラレータの概念について解説し、これにより実現されるフレキシブルなコンピューティングについて示している。更に、このソフトウェアアクセラレータ実現に必須となる高機能フィールドプログラマブル集積回路として、論理演算機能と記憶機能を単一回路で構成・切替え可能な論理モジュールを基本としたフレキシブルプロセッサを提案し、その概論について述べるとともに今後の高機能フィールドプログラマブル集積回路設計の指針を示している。

第3章では、全加算器とD型フリップフロップを併合して作成した論理モジュールを基本モジュールとし、これをアレイ状に敷き詰めた構造で全体として実現し得る機能(回路構成)を動的に切替えることが可能なフレキシブルプロセッサの開発について詳細に述べている。種々の構成要素の検討結果から動作原理や本アーキテクチャの特徴、開発にあたり得られた知見などについて紹介し、今後のフレキシブルプロセッサ開発へ向けての検討課題について議論している。開発したフレキシブルプロセッサは、本研究のアプリケーションターゲットであるソフトウェアアクセラレータで用いるフィールドプログラマブル集積回路として必要な機能を十分に備えるものであり、今後の更なるフレキシブルプロセッサの改良へ向けての様々な有益な知見を得ている。

第4章では、開発したフレキシブルプロセッサと他のフィールドプログラマブル集積回路を比較し、本アーキテクチャの有効性について定量的に議論している。開発したフレキシブルプロセッサは、実現対象の種々の回路構成において、回路構成情報データサイズ、トランジスタ数、チップ面積、ならびにハードウェア効率などで有利であることが実証されている。

第5章は結論である。

以上要するに本論文は、同一のハードウェア上で種々の回路構成を逐次動的にハードウェア化しながらソフトウェア処理を実行するという新しいフレキシブルなコンピューティングを提案し、それを実現するソフトウェアアクセラレータの具現化を根底から支えるフレキシブルプロセッサのアーキテクチャを新規に構築することによって、少品種大量生産向きの現在のLSI製造技術で多品種少量のシステムLSIを製造する手法と、システムLSI開発期間を短縮してシステムLSI製品化の瞬時対応を具現化する手段を明示したものである。

論文審査結果の要旨

半導体集積回路の高集積化が進みシステムLSIの時代が進むにつれ、現在のLSI製造技術は少品種大量生産向きであるにもかかわらず多品種少量のシステムLSIをも製造していかなければならない根本命題に直面している。更に、システム開発にはきわめて多くの人的労力と開発期間を要し、システム開発期間の短縮がシステムLSI開発の最大の鍵となっている。著者は、同一のハードウェアで種々の回路構成を実現し機能を動的に切替えることが可能な高機能なフィールドプログラマブル集積回路である「フレキシブルプロセッサ」を開発し、更にこれを用いてソフトウェアの処理を高速化する手法である「ソフトウェアアクセラレータ」により、上記システムLSI開発における困難を解決する手段を明示した。本論文は、これらの研究成果をとりまとめたもので、全文5章よりなる。

第1章は序論である。

第2章では、本研究の将来的なアプリケーションターゲットであるソフトウェアアクセラレータの概念について解説し、これにより実現されるフレキシブルなコンピューティングシステムを提案している。更に、このソフトウェアアクセラレータ実現に必須となる高機能フィールドプログラマブル集積回路として、論理演算機能と記憶機能を単一回路で構成・切替え可能な論理モジュールを基本としたフレキシブルプロセッサを提案し、その概論について述べるとともに今後の高機能フィールドプログラマブル集積回路設計の指針を示している。

第3章では、全加算器とD型フリップフロップを併合して作製した論理モジュールを基本モジュールとし、これをアレイ状に敷き詰めた構造で全体として実現し得る機能（回路構成）を動的に切替えることが可能なフレキシブルプロセッサの開発について詳細に述べている。種々の構成要素の検討結果から動作原理や本アーキテクチャの特徴、開発にあたり得られた知見などについて紹介し、今後のフレキシブルプロセッサ開発へ向けての検討課題について議論している。

第4章では、開発したフレキシブルプロセッサと他のフィールドプログラマブル集積回路を比較し、本アーキテクチャの有効性について定量的に議論している。開発したフレキシブルプロセッサは、実現対象の種々の回路構成において、回路構成情報データサイズ、トランジスタ数、チップ面積、ならびにハードウェア効率などで有利であることが実証されている。

第5章は結論である。

以上要するに本論文は、同一のハードウェア上で種々の回路構成を逐次動的に再構成しながらソフトウェア処理を実行するという新しいフレキシブルなコンピューティングを提案し、それを実現するフレキシブルプロセッサのアーキテクチャを新規に構築することによって、少品種大量生産向きの現在のLSI製造技術で多品種少量のシステムLSIを製造する手法と、システムLSI開発期間を短縮してシステムLSI製品化の瞬時対応を具現化する手段を明示したものであり、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。